

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
19. September 2002 (19.09.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/073618 A2

(51) Internationale Patentklassifikation⁷: G11C 7/06

(71) **Anmelder** (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

(21) Internationales Aktenzeichen: PCT/DE02/00897

(22) Internationales Anmeldedatum:
13. März 2002 (13.03.2002)

(72) Erfinder: und

(75) **Erfinder/Anmelder (nur für US):** **GOGL, Dietmar** [DE/US]; 4, Greenhill Drive, Apt. 16 D, Fishkill, NY 12524 (US). **VIEHMANN, Hans-Heinrich** [DE/US]; 8 E Chelsea Ridge Drive, Wappingers Falls, NY 12590 (US).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsche

(74) **Anwalt: HOFFMANN, Jörg, Peter:** Müller, Hoffmann & Partner, Patentanwälte, Innere Wiener Str. 17, 81667 München (DE).

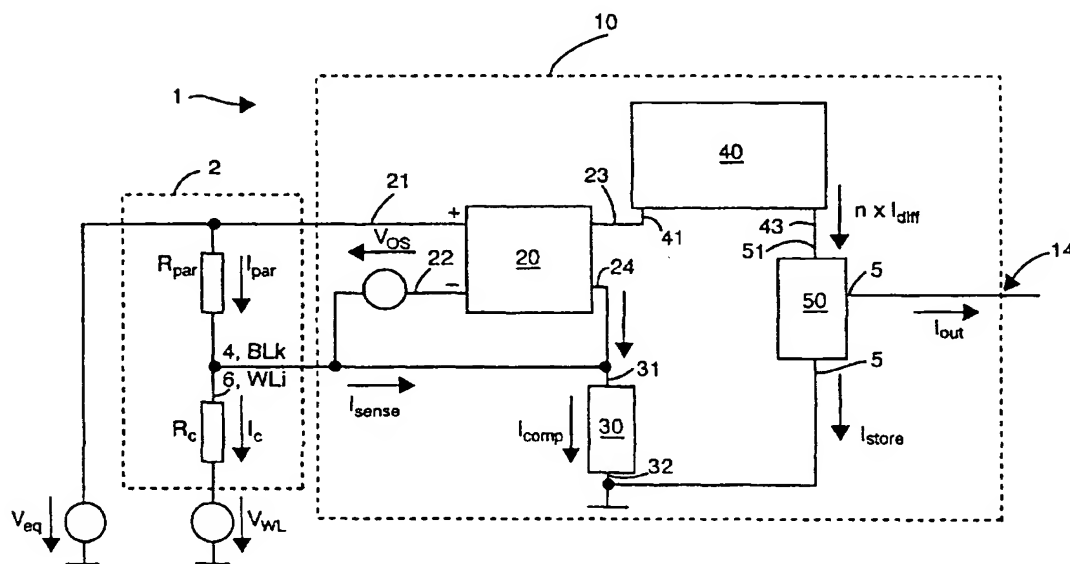
(30) Angaben zur Priorität:
101 12 281.0 14. März 2001 (14.03.2001) DE

(81) **Bestimmungsstaaten** (*national*): CN, JP, KR, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: MEMORY SENSE AMPLIFIER FOR A SEMICONDUCTOR MEMORY DEVICE

(54) Bezeichnung: LESEVERSTÄRKERANORDNUNG FÜR EINE HALBLEITERSPEICHEREINRICHTUNG



(57) Abstract: A memory sense amplifier (10) for a semiconductor memory device (1) is provided with a compensation current source device (30) which generates a compensation current (I_{comp}) and feeds it to an interconnected bit line (4). Said compensation current (I_{comp}) is selected in such a manner that during readout a potential gradient can be generated and/or maintained in cooperation with a compensation voltage source device (20) on the selected and interlinked bit line device (4) that is substantially constant over time.

(57) Zusammenfassung: Bei einer Leseverstärkeranordnung (10) für eine Halbleiterspeichereinrichtung (1) ist eine Kompensationsstromquelleneinrichtung (30) vorgesehen, durch welche ein Kompensationsstrom (I_{comp}) generierbar und einer verbundenen Bitleitung (4) zuführbar ist, wobei der Kompensationsstrom (I_{comp}) so

[Fortsetzung auf der nächsten Seite]